

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135736

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

H01L 27/10  
H01L 21/283  
H01L 21/3205  
H01L 27/108  
H01L 21/8242

(21)Application number : 09-299789

(71)Applicant : NEC CORP  
SYMETRIX CORP

(22)Date of filing : 31.10.1997

(72)Inventor : AMANUMA KAZUSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

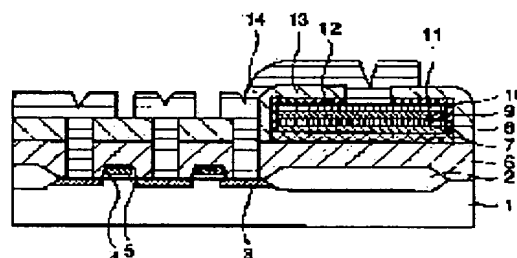
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly integrated semiconductor device which prevents the deterioration of ferroelectrics and a high dielectric constant material due to reducing atmosphere, without the prevention of the securing of characteristics by hydrogen annealing.

SOLUTION: In the structure of this semiconductor device, an element isolating oxide film 2, an inter-layer insulated film 6, a hydrogen barrier film 7, a lower electrode 8, a capacity insulated film 9, an upper electrode 10, hydrogen barrier films 11, 12, an inter-layer insulated film 13 and a wiring layer 14 are formed in this order on a silicon substrate, a capacity part consisting of the electrode 8, the film (dielectric) 9 and the electrode 10 is completely covered with the barriers 7, 11 and 12, and a gate electrode 5 is formed on a gate oxide film 4 between impurity spreading regions 3 at the substrate.

Since only the capacitor part is covered completely with the films 7, 11 and 12 here, the deterioration of

ferroelectrics and a high dielectric constant material due to reducing atmosphere are prevented and securing of characteristics is not prevented by hydrogen annealing.



## LEGAL STATUS

[Date of request for examination]

31.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3098474

[Date of registration] 11.08.2000

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135736

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/10  
21/283  
21/3205  
27/108  
21/8242

4 5 1

H 0 1 L 27/10 4 5 1  
21/283 N  
21/88 M  
27/10 6 5 1

審査請求 有 請求項の数14 O L (全 9 頁)

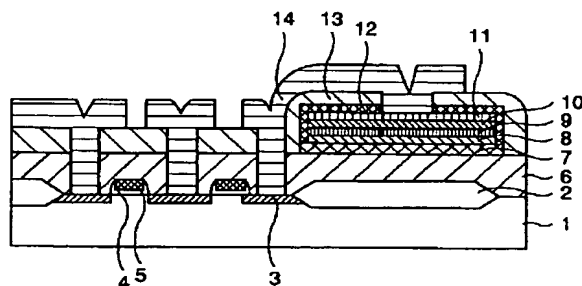
(21) 出願番号 特願平9-299789  
(22) 出願日 平成9年(1997)10月31日(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(71) 出願人 597145551  
シンメトリクス コーポレーション  
アメリカ合衆国, コロラド 80918, コロ  
ラド スプリングス, マーク ダブリング  
ブルヴァード 5055  
(72) 発明者 天沼 一志  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(74) 代理人 弁理士 後藤 洋介 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 水素アニールによって特性確保を妨げず、還元性雰囲気による強誘電体及び高誘電率材料の劣化を防止し得る高集積な半導体装置を提供すること。

【解決手段】 この半導体装置の構造では、シリコン基板1上に素子分離酸化膜2、層間絶縁膜6、水素バリア膜7、下部電極8、容量絶縁膜9、上部電極10、水素バリア膜11、水素バリア膜12、層間絶縁膜13、及び配線層14がこの順で形成され、下部電極8、容量絶縁膜(誘電体)9、及び上部電極10からなる容量部が水素バリア膜7、11、12により完全に覆われると共に、シリコン基板1の不純物拡散領域3間のゲート酸化膜4上にゲート電極5が形成されている。ここでは、容量部のみが水素バリア膜7、11、12により完全に覆われているため、還元性雰囲気による強誘電体及び高誘電率材料の劣化を防止でき、水素アニールによって特性確保を妨げない。



## 【特許請求の範囲】

【請求項1】 強誘電体材料又は高誘電体材料を容量絶縁膜とする容量部を有する半導体装置において、前記容量部は、水素バリア膜で覆われており、且つ該容量部以外は該水素バリア膜を有しないことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記容量部全面の少なくともトランジスタ部との導通を得るためのコンタクト部以外に前記水素バリア膜が設けられていることを特徴とする半導体装置。

【請求項3】 基板上にゲート酸化膜を介して設けられたゲート電極及び不純物拡散領域を有するトランジスタ部と、強誘電体材料又は高誘電体材料を容量絶縁膜とする容量部を有する容量素子部とから成ると共に、該トランジスタ部及び該容量素子部が該基板平面上で重なりを持たないように形成された半導体装置において、前記容量部全面の少なくとも前記トランジスタ部との導通を得るためのコンタクト部以外に水素バリア膜が設けられており、且つ該トランジスタ部に該水素バリア膜を有しないことを特徴とする半導体装置。

【請求項4】 基板上にゲート酸化膜を介して設けられたゲート電極及び不純物拡散領域を有するトランジスタ部と、強誘電体材料又は高誘電体材料を容量絶縁膜とする容量部を有する容量素子部とから成ると共に、該容量素子部が該不純物拡散領域と導通を得るためにプラグ上に形成された半導体装置において、前記容量部全面の少なくとも前記トランジスタ部との導通を得るためのコンタクト部以外に水素バリア膜が設けられており、且つ該容量素子部間に該水素バリア膜を有しないことを特徴とする半導体装置。

【請求項5】 請求項3又は4記載の半導体装置において、前記容量部は、下部電極の上面に前記容量絶縁膜、及び上部電極を順次積層した構造であり、且つ側面に非導電性の水素バリア膜が少なくとも前記コンタクト部を除く下部電極下に形成されると共に、該上部電極上に導電性又は非導電性の水素バリア膜が形成されて成ることを特徴とする半導体装置。

【請求項6】 請求項3又は4記載の半導体装置において、前記容量部は、下部電極の上面及び側面を覆うように前記容量絶縁膜、及び上部電極を順次形成した構造であり、且つ少なくとも該下部電極の側面に形成された該容量絶縁膜及び該上部電極の下面に非導電性の水素バリア膜が形成されて成ることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、前記上部電極は、導電性の水素バリア膜により形成されて成ることを特徴とする半導体装置。

【請求項8】 請求項3～7の何れか一つに記載の半導体装置において、前記コンタクト部は、導電性の水素バリア膜を有して成ることを特徴とする半導体装置。

【請求項9】 請求項5又は6記載の半導体装置におい

て、前記非導電性の水素バリア膜は、 $\text{Si}$ 、 $\text{N}$ 、 $\text{SiON}$ 、又は該 $\text{Si}$ 、 $\text{N}$ 、該 $\text{SiON}$ 、及び $\text{SiO}_2$ を複合したものから選ばれた少なくとも1種から成ることを特徴とする半導体装置。

【請求項10】 請求項5～9の何れか一つに記載の半導体装置において、前記導電性の水素バリア膜は、 $\text{Ti}$ 、 $\text{Zr}$ 、 $\text{Nb}$ 、 $\text{Ta}$ 、 $\text{Hf}$ 、 $\text{W}$ の何れか一つ又は複数元素の窒化物から成ることを特徴とする半導体装置。

【請求項11】 下部電極、強誘電体又は高誘電率体から成る層間絶縁膜、及び上部電極から成る容量部を形成する工程と、前記容量部を覆う水素バリア膜を形成する工程と、前記水素バリア膜の一部をエッチングにより除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項12】 第1の水素バリア膜上に下部電極、容量絶縁膜、上部電極、及び第2の水素バリア膜を形成してパターニングする工程と、前記パターニングしたものの全面に非導電性の第3の水素バリア膜を形成して容量部以外に形成された該第3の水素バリア膜を除去する工程と、前記上部電極上の前記第3の水素バリア膜を除去してコンタクト部を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項13】 第1の水素バリア膜上に下部電極、容量絶縁膜、及び上部電極を形成してパターニングする工程と、前記パターニングしたものの全面に非導電性の第3の水素バリア膜を形成して容量部以外に形成された該第3の水素バリア膜を除去する工程と、前記上部電極上の前記第3の水素バリア膜を除去してコンタクト部を形成した後に導電性の第2の水素バリア膜を該コンタクト部を覆うように形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項14】 層間絶縁膜上に非導電性の第1の水素バリア膜を形成した後にプラグを形成する工程と、前記プラグ上に導電性の第2の水素バリア膜、及び下部電極を形成してパターニングする工程と、前記パターニングしたものの全面に容量絶縁膜を形成した後に容量部以外の該容量絶縁膜を除去する工程と、前記容量絶縁膜を除去したものに少なくとも上部電極、及び水素バリア膜を形成した後に容量部以外の該水素バリア膜を除去して容量素子部間に前記層間絶縁膜を露出させる工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、主として強誘電体材料又は高誘電率材料を容量絶縁膜に用いた容量素子を含む半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置としては、例えば $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、や $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等のヒステリシス特性を有する強誘電体材料を容量絶縁膜に用いた

容量素子部を有する不揮発性メモリや、(Sr, Ba)TiO<sub>3</sub>等の高誘電率材料を容量絶縁膜とすることで容量素子部の蓄積電荷量を高めたダイナミックランダムアクセスメモリ等が開発されている。

【0003】こうした半導体装置に用いられるPb(Zr, Ti)O<sub>3</sub>や(Sr, Ba)TiO<sub>3</sub>等の誘電体は、酸化物であるため、還元性雰囲気には曝されると絶縁特性や強誘電体特性が劣化してしまうことが知られている。特に水素に曝されると特性が大きく劣化し、甚だしい場合には電極の剥離等が引き起こされる。

【0004】ところが水素を含んだ雰囲気は、LSI等の半導体装置の製造プロセスで一般的に生じており、回避されないものとなっている。例えば層間絶縁膜に用いられるSiO<sub>2</sub>膜は通常CVD法により形成されるが、その反応はSiH<sub>4</sub> + O<sub>2</sub> → SiO<sub>2</sub> + 2H<sub>2</sub>で表わされ、これは水素が反応生成物として生成されることを示している。又、水素の微細化に伴い、アスペクト比の大きなコンタクト・ホール埋め込みにはWのCVDが広く用いられているが、Wの成膜には2WF<sub>6</sub> + 3SiH<sub>4</sub> → 2W + 3SiH<sub>2</sub> + 6H<sub>2</sub>で表わされる反応が用いられ、これは非常に強い還元性雰囲気で行われることを示している。更に、Al配線形成後にMOSトランジスタの特性確保のため、水素を含んだ雰囲気で行われる。

【0005】このような水素による誘電体容量の劣化を防ぐための手段は、幾つかの半導体装置において周知技術として導入されている。例えば図12に示す特開平4-102367号公報に開示された半導体装置の場合、TiN膜又はTiON膜を水素バリア膜17として容量部の層間絶縁膜16上に設けた構造としている。因みに、図12の構造(従来の一例に係る半導体装置とする)では、シリコン基板1上に素子分離酸化膜2、層間絶縁膜6、下部電極8、容量絶縁膜9、上部電極10、層間絶縁膜13、配線層14、層間絶縁膜16、及び水素バリア膜17がこの順で形成され、シリコン基板1の不純物拡散領域3間のゲート酸化膜4上にゲート電極5が形成されている。

【0006】又、特開平7-11318号公報に開示された誘電体メモリの場合、図13に示す構造(従来の一例に係る半導体装置とする)のものではAlNやTiN、N、を水素バリア膜11として容量の上部電極10上に設けており、図14に示す構造(従来の別例に係る半導体装置とする)のものではSi<sub>3</sub>N<sub>4</sub>を水素バリア膜12として素子全面に設けている。因みに、図13の構造では、シリコン基板1上に素子分離酸化膜2、層間絶縁膜6、下部電極8、容量絶縁膜9、上部電極10、水素バリア膜11、層間絶縁膜13、及び配線層14がこの順で形成され、シリコン基板1の不純物拡散領域3間のゲート酸化膜4上にゲート電極5が形成されている。又、図14の構造では、シリコン基板1上に素子分離酸

化膜2、層間絶縁膜6、下部電極8、容量絶縁膜9、上部電極10、水素バリア膜11、水素バリア膜12、層間絶縁膜13、及び配線層14がこの順で形成され、このうちの下部電極8、容量絶縁膜9、上部電極10、及び水素バリア膜11を覆って水素バリア膜12が設けられると共に、シリコン基板1の不純物拡散領域3間のゲート酸化膜4上にゲート電極5が形成されている。

【0007】

【発明が解決しようとする課題】上述した従来の一例に係る半導体装置のように、容量部の層間絶縁膜上に水素バリア膜を設けた構造の場合、横方向からの水素の進入を遮蔽するために容量部よりも少なくとも数ミクロン以上の余裕を持った面積で覆う必要があるが、例えば日経マイクロデバイス1995年3月号31頁に示されているように、メモリの高集積化に伴ってセル面積は減少し、256メガ・ビット以上の高集積メモリのセル面積は1μm<sup>2</sup>以下であるため、こうした場合に容量部上の水素バリア膜の面積もセル面積以下にしなければならず、横方向からの水素の進入に対して十分な効果が得られないという問題がある他、配線層の上部に水素バリア膜を形成するため、例えば配線にWのCVDを用いた場合には、水素による容量部の劣化に対して全く効果が無くなってしまいう問題がある。

【0008】又、従来の他例に係る半導体装置の構造では側部からの水素の進入に対して何ら効果が無く、別例に係る半導体装置の構造では素子全面にSi<sub>3</sub>N<sub>4</sub>膜を設けているためにAl配線の形成後に水素アニールによって(MOSトランジスタの)特性確保が妨げられるという問題がある。因みに、Si<sub>3</sub>N<sub>4</sub>膜による水素アニール効果の妨害は、例えば1983年プロシーディングス オブ ザ シンポジウム オン シリコン ナイトライド シン インシュレーティング フィルムズ94~110頁(PROCEEDINGS OF THE SYMPOSIUM ON SILICON NITRIDE THIN INSULATING FILMS)にも述べられているように、広く知られた現象である。

【0009】本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、水素アニールによって特性確保を妨げず、且つ還元性雰囲気による強誘電体及び高誘電率材料の劣化を防止し得る高集積な半導体装置及びその歩留まりの良い製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、強誘電体材料又は高誘電率材料を容量絶縁膜とする容量部を有する半導体装置において、容量部は、水素バリア膜で覆われており、且つ該容量部以外は該水素バリア膜を有しない半導体装置が得られる。

【0011】一方、本発明によれば、下部電極、強誘電体又は高誘電率体から成る層間絶縁膜、及び上部電極か

ら成る容量部を形成する工程と、容量部を覆う水素バリア膜を形成する工程と、水素バリア膜の一部をエッチングにより除去する工程とを含む半導体装置の製造方法が得られる。

【0012】

【作用】本発明の半導体装置では、上述した記課題を解決するため、容量部を水素バリア膜により直接覆う構造とすると共に、容量部以外の水素バリア膜を除去した構造としているので、水素アニールによる（MOSトランジスタの）特性確保を妨げず、且つ容量部の劣化を効果的に防止できる。

【0013】

【発明の実施の形態】以下に幾つかの実施例を挙げ、本発明の半導体装置及びその製造方法について、図面を参照して詳細に説明する。

【0014】【実施例1】図1は、本発明の実施例1に係る半導体装置の基本構成を示した側面断面図である。この半導体装置の構造では、シリコン基板1上に素子分離酸化膜2、層間絶縁膜6、水素バリア膜7、下部電極8、容量絶縁膜9、上部電極10、水素バリア膜11、水素バリア膜12、層間絶縁膜13、及び配線層14がこの順で形成され、下部電極8、容量絶縁膜（誘電体膜）9、及び上部電極10から成る容量部が水素バリア膜7、11、12により完全に覆われると共に、シリコン基板1の不純物拡散領域3間のゲート酸化膜4上にゲート電極5が形成されている。ここでは、容量部のみが水素バリア膜7、11、12により完全に覆われているため、容量部の作製後に還元性雰囲気（水素）の製造プロセスにおいても容量部の特性は劣化せず、しかもトランジスタ上部の水素バリア膜が取り除かれているため、水素アニールによりMOS特性確保が妨げられず、トランジスタのV<sub>t</sub>ばらつき等の問題を生じない。

【0015】図2（a）～（h）は、この半導体装置の製造方法を製造工程別に示した側面断面図である。

【0016】先ず図2（a）に示すように、通常のCMOSプロセスによりシリコン基板1の不純物拡散領域3間（素子分離酸化膜2から隔てられている）のゲート酸化膜4上にゲート電極5を形成することによりトランジスタ部を作製した後、BPSG層による第1の層間絶縁膜6を形成し、この層間絶縁膜6上に膜厚100オングストローム以上～2000オングストローム以下（例えば500オングストローム）の第1の水素バリア膜7を成膜する。水素バリア膜7としては、Si<sub>3</sub>N<sub>4</sub>膜を減圧CVD法又はスパッタリング法により形成するが、膜厚が100オングストローム未満ではバリアとしての性能が十分でなく、2000オングストロームを超過してもSi<sub>3</sub>N<sub>4</sub>膜の応力によりシリコン基板1に反りを生じるため、何れも好ましくない。減圧CVD法によるSi<sub>3</sub>N<sub>4</sub>膜は非常に緻密で、水素含有量も少ない。

【0017】次に、図2（b）に示すように、水素バ

リア膜7上に下部電極8、容量絶縁膜9、上部電極10、及び第2の水素バリア膜11を順に成膜する。尚、水素バリア膜7及び下部電極8間にSiO<sub>2</sub>等の密着層を形成しても良い。例えば、NSG層による膜厚200オングストロームの密着層を水素バリア膜7上に形成した場合、この上に膜厚500オングストロームのTi層及び膜厚2000オングストロームのPt層から成る下部電極8をスパッタリング法により形成し、更にこの上に特に強誘電体としてSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>7</sub>層による膜厚2000オングストロームの容量絶縁膜9をゾル・ゲル法により形成してから、この上に膜厚2000オングストロームのPt層による上部電極10、及びTiN層による膜厚500オングストロームの第2の水素バリア膜11を順にスパッタリング法により成膜する場合を例示できる。

【0018】更に、図2（c）に示すように、水素バリア膜11、上部電極10、及び容量絶縁膜9をエッチングした後、下部電極8をエッチングして加工する。水素バリア膜11は導電性である必要があるため、TiN、Ta<sub>2</sub>N等の導電性の窒化物を用いるものとし、又十分なバリア性能を得るため、ここでも膜厚を100オングストローム以上とする。ここでは、例えばTiNによる水素バリア膜11、Pt層による上部電極10、Pb（Zr，Ti）O<sub>3</sub>層をエッチングし、更にPt層及びTi層による下部電極8をエッチングにより加工する場合を例示できる。

【0019】引き続き、図2（d）に示すように、第3の水素バリア膜12を上面全面に形成した後、トランジスタ上部の水素バリア膜7及び水素バリア膜12をエッチングにより取り除いて図2（e）に示されるような状態にする。ここでは、例えば膜厚500オングストロームのSi<sub>3</sub>N<sub>4</sub>膜による水素バリア膜12をスパッタにより形成した後、これらの水素バリア膜7、12の容量部以外の部分を取り除く場合を例示できる。

【0020】尚、水素バリア膜12も水素バリア膜7と同様にSi<sub>3</sub>N<sub>4</sub>膜を用いて同じ膜厚にするが、CVD法では水素雰囲気となり容量特性を劣化させるため、成膜法にはスパッタリング法を適用することが望ましい。又、水素バリア膜12の場合、Si<sub>3</sub>N<sub>4</sub>、及びSiO<sub>2</sub>の複合層膜やSi<sub>3</sub>ONで表わされる酸素と窒素を含んだ膜（即ち、Si<sub>3</sub>ONや、或いはSi<sub>3</sub>N<sub>4</sub>、Si<sub>3</sub>ON、及びSiO<sub>2</sub>を複合したものから選ばれた一種）を用いることも可能である。

【0021】この後、図2（f）に示すようにCVD法によりSiO<sub>2</sub>膜の第2の層間絶縁膜13を形成した後、図2（g）に示すようにコンタクトホールを形成し、最終的に図2（h）に示すようにW膜をCVD法により形成した後、エッチバックを行ってコンタクト部のW埋め込みを形成してからAl層による配線層14を成膜・パターニングする。この後に400℃で水素アニール

ルを行い、配線層14上に保護膜を形成する。

【0022】図3は、図1に示す半導体装置を变形した一形態に係る基本構成を示した側面断面図である。この半導体装置では、製造工程に際して図1に示すものと比べ、第2の水素バリア膜11を形成する手順が異なる。即ち、ここでは第2の層間絶縁膜13を形成してコンタクトホールをエッチングした後に第2の水素バリア膜11を形成し、その後に容量部以外の第2の水素バリア膜11を除去する構成となっている。このような製造工程によっても基本的に図1に示すものと同様な構造を得ることができる。

【0023】図1の形態では第2の水素バリア膜11を形成した後、水素バリア膜11が酸化して絶縁してしまうため、酸素を含んだ雰囲気での高温の熱処理はできないが、この形態では第2の水素バリア膜11を容量と同時に形成しないため、容量加工後に酸素アニール等を行って容量特性の向上を計ることができる。

【0024】図4は、図1に示す半導体装置を变形した他形態に係る基本構成を示した側面断面図である。この半導体装置では、製造工程に際して図1に示すものと比べ、第3の水素バリア膜12を形成して容量部のコンタクトホールをエッチングした後に第2の水素バリア膜11を形成し、その後に容量部以外のこれらの水素バリア膜11、12を除去する構成となっている。このような製造工程によっても基本的に図1に示すものと同様な構造を得ることができる。

【0025】図5は、図1に示す半導体装置を变形した別形態に係る基本構成を示した側面断面図である。この半導体装置では、製造工程に際して図1に示すものと比べ、下部電極9のエッチング時に第1の水素バリア膜7を同時にエッチングにより除去する構成となっている。このような工程によっても基本的に図1に示すものと同様な構造を得ることができる。

【0026】図6は、図1に示す半導体装置の水素アニール前後における容量素子部のヒステリシス曲線〔分極( $\mu\text{C}/\text{cm}^2$ )に対する電圧(V)〕の測定結果を示したものである。このヒステリシスの測定結果からは、水素アニールによる劣化が殆ど見られないことが判る。

【0027】図7は、図1に示す半導体装置(nMOS及びpMOSトランジスタとした場合)の水素アニール前後におけるVt測定値の度数分布を示したものである。このVt測定結果からは、水素アニール後のVtのばらつきが大幅に減少していることが判る。

【0028】〔実施例2〕図8は、本発明の実施例2に係る半導体装置の基本構成を示した側面断面図である。この半導体装置の構造では、シリコン基板1上に素子分離酸化膜2、プラグ15を有する層間絶縁膜6、水素バリア膜7、水素バリア膜11、下部電極8、容量絶縁膜9、水素バリア膜12、及び配線層14がこの順で形成され、下部電極8、及び容量絶縁膜(誘電体膜)9から

成る容量部が水素バリア膜7、11、12により完全に覆われると共に、シリコン基板1の不純物拡散領域3間のゲート酸化膜4上にゲート電極5が形成されている。ここでは、実施例1の場合と比べて容量部の下部電極8がプラグ15を通して選択トランジスタのソース又はドレインと接続されている点が異なるが、容量部が水素バリア膜7、11、12により完全に覆われ、且つ容量部以外で水素バリア膜を取り除いている点は共通している。又、ここではトランジスタ部の直上は水素バリア膜7、11、12が存在しているが、容量部以外の水素バリア膜が除去されている部分から水素を十分拡散できるため、水素アニールによるMOSの特性確保を妨げない。

【0029】図9(a)～(i)は、この半導体装置の製造方法を製造工程別に示した側面断面図である。

【0030】先ず図9(a)に示すように実施例1の場合と同様な手順で第1の水素バリア膜7を形成し、図9(b)に示すようにエッチングによりコンタクトホールを形成した後、図9(c)に示すようにポリシリコンをCVD法により堆積した後にエッチバックしてプラグ15を形成する。

【0031】次に、図9(d)に示すように第2の水素バリア膜11及び下部電極8を成膜する。水素バリア膜11としては導電性である必要があるため、TiN、Ta<sub>2</sub>N等を用いるものとし、ここでも十分なバリア性能を得るに膜厚を1000Å以上とする。ここでは、例えば膜厚500ÅのTa<sub>2</sub>N膜による水素バリア膜11及びRu層による下部電極8をスパッタリング法により形成する場合を例示できる。

【0032】更に、図9(e)に示すように下部電極8及び水素バリア膜11をエッチングして加工してからその上に図9(f)に示すように容量絶縁膜9を形成し、この容量絶縁膜9も図9(g)に示すようにエッチングして加工する。ここでは、例えばTa<sub>2</sub>N膜による水素バリア膜11及びRu層による下部電極8をエッチングした後、高誘電率膜として膜厚200Åの(Ba, Sr)TiO<sub>3</sub>をCVD法により容量絶縁膜9として形成してからエッチング加工する場合を例示できる。

【0033】引き続き、図9(h)に示すように導電性の第3の水素バリア膜12を形成し、この上にプレート線層による配線層14が形成される。ここでは、例えばTiN膜による膜厚500Åの水素バリア膜11をCVD法により形成し、更にプレート線層としてポリシリコンをCVD法により形成して配線層14を得る場合を例示できる。尚、ここで水素バリア膜12はCVD法で形成することにより段差上でも被覆性のよい膜を得ることができ、配線層14はポリシリコンの形成にSiH<sub>4</sub>→Si+2H<sub>2</sub>で表わされる反応が用いられて還元性雰囲気となるが、TiN膜による水素バリア

膜12として形成してあるため、容量絶縁膜9には劣化を生じない。

【0034】この後、図9(i)に示すように容量部以外の配線層14及び水素バリア膜12、7をエッチングにより除去した後、この上に図示されない第2の層間絶縁膜13及びA1層による配線層を形成する。この後に400℃で水素アニールを行った。

【0035】この半導体装置(nMOS及びpMOSトランジスタとした場合、容量絶縁膜9の(Ba, Sr)TiO<sub>2</sub>の誘電率は約300で、トランジスタのV<sub>t</sub>のばらつきはnMOS、pMOSの何れも10%以下であった。

【0036】図10は、図8に示す半導体装置を変形した一形態に係る基本構成を示した側面断面図である。この半導体装置では、製造工程に際して図8に示すものと比べ、容量絶縁膜9を形成した後のエッチングを省略し、配線層14等と同時に容量絶縁膜9もエッチングする構成となっている。このような製造工程によっても基本的に図8に示すものと同様な構造を得ることができる。ここでは、工程を短縮できる利点があるが、側部において容量絶縁膜9が露出するため、水素によるダメージは図8の場合よりも受け易い。それでも、下部電極8に接しない側部は容量として機能しないため、多少の劣化を許容できるものとなっている。

【0037】図11は、図8に示す半導体装置を変形した他形態に係る基本構成を示した側面断面図である。この半導体装置では、製造工程に際して図8に示すものと比べ、第1の水素バリア膜7の形成を省略し、第2の水素バリア膜11を配線層14等と同時にエッチングする構成となっている。このような製造工程によっても基本的に図8に示すものと同様な構造を得ることができる。ここでは、図10の場合と同様に側部において容量絶縁膜9が露出するが、工程を大幅に短縮できる長所がある。

【0038】

【発明の効果】以上に述べた通り、本発明の半導体装置及びその製造方法によれば、水素による容量絶縁膜(誘電体膜)の劣化を完全に防止でき、還元性雰囲気のプロセス後も良好な容量特性を得ることができるため、動作マージンの増加による歩留まりの向上を計ることができるようになる。又、容量部が直接水素バリア膜で覆われて良好な容量特性が得られる上、水素バリア膜及び容量部のサイズのマージンが無く、容量部の形成後にWのCVD法による製造プロセスが可能になるため、容量部として必要なセル面積を縮小できると共に、高アスペクト比のコンタクト部を形成可能になる。更に、水素バリア膜が水素のみならず水分に対しても高いバリア性能を示

すため、経時による容量部の特性劣化を防止でき、信頼性が向上されるようになる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る半導体装置の基本構成を示した側面断面図である。

【図2】(a)～(h)は、図1に示す半導体装置を製造方法を製造工程別に示した側面断面図である。

【図3】図1に示す半導体装置を変形した一形態に係る基本構成を示した側面断面図である。

【図4】図1に示す半導体装置を変形した他形態に係る基本構成を示した側面断面図である。

【図5】図1に示す半導体装置を変形した別形態に係る基本構成を示した側面断面図である。

【図6】図1に示す半導体装置の水素アニール前後における容量素子部のヒステリシスの測定結果を示したものである。

【図7】図1に示す半導体装置(トランジスタ)の水素アニール前後におけるV<sub>t</sub>測定値の度数分布を示したものである。

【図8】本発明の実施例2に係る半導体装置の基本構成を示した側面断面図である。

【図9】(a)～(i)は、図8に示す半導体装置を製造方法を製造工程別に示した側面断面図である。

【図10】図8に示す半導体装置を変形した一形態に係る基本構成を示した側面断面図である。

【図11】図8に示す半導体装置を変形した他形態に係る基本構成を示した側面断面図である。

【図12】従来の一例に係る半導体装置の基本構成を示した側面断面図である。

【図13】従来他例に係る半導体装置の基本構成を示した側面断面図である。

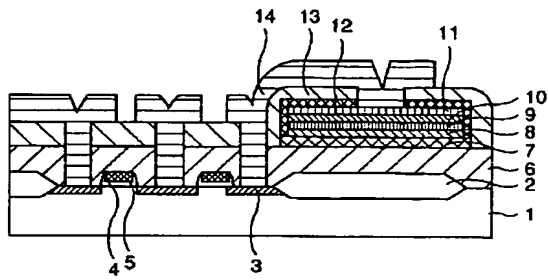
【図14】従来別例に係る半導体装置の基本構成を示した側面断面図である。

【符号の説明】

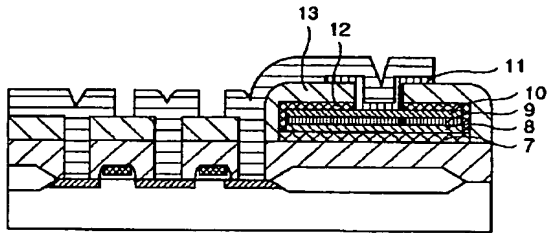
- 1 シリコン基板
- 2 素子分離酸化膜
- 3 不純物拡散領域
- 4 ゲート酸化膜
- 5 ゲート電極
- 6, 13, 16 層間絶縁膜
- 7, 11, 12, 17 水素バリア膜
- 8 下部電極
- 9 容量絶縁膜
- 10 上部電極
- 14 配線層
- 15 ブラグ



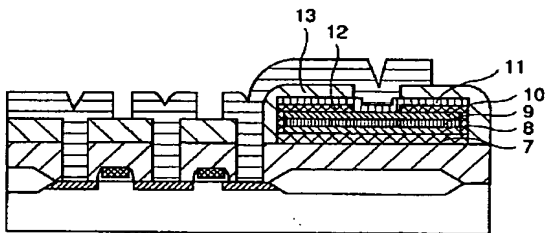
【図1】



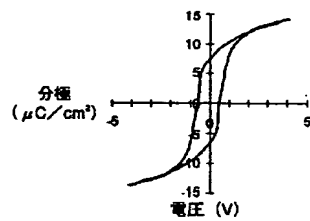
【図3】



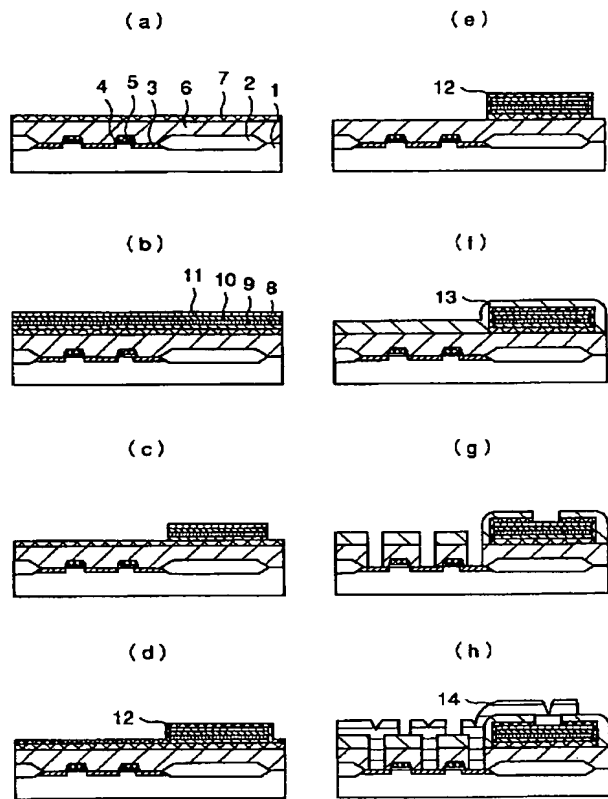
【図4】



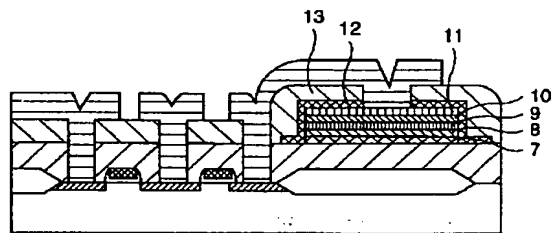
【図6】



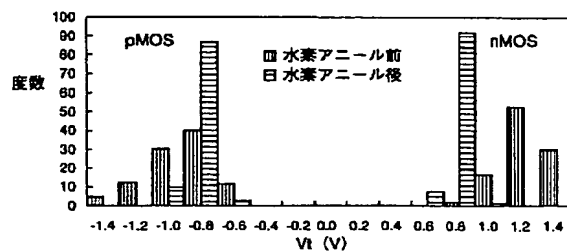
【図2】



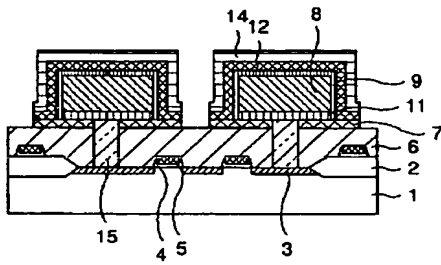
【図5】



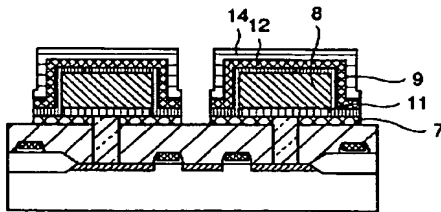
【図7】



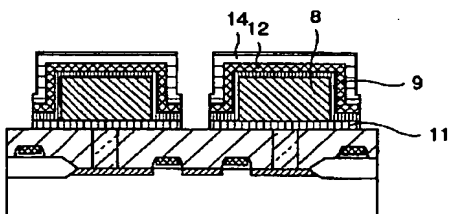
【図8】



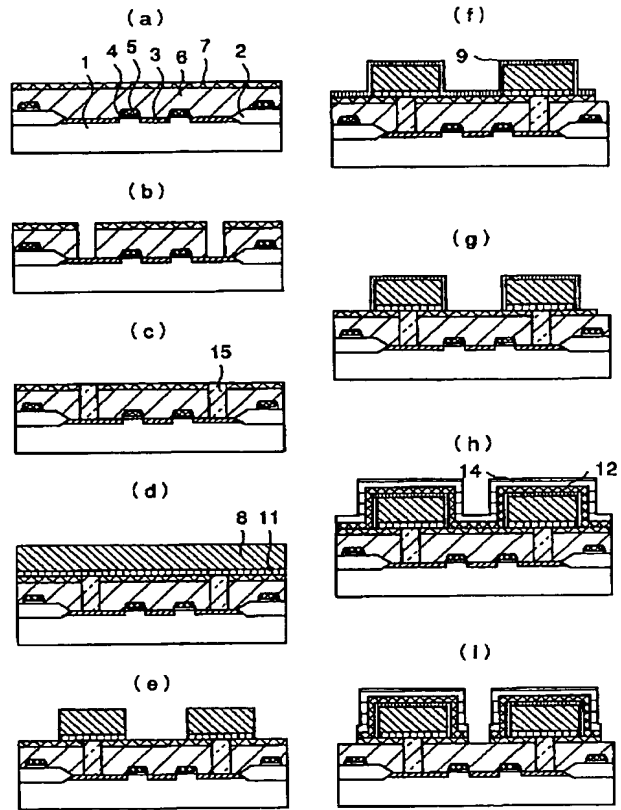
【図10】



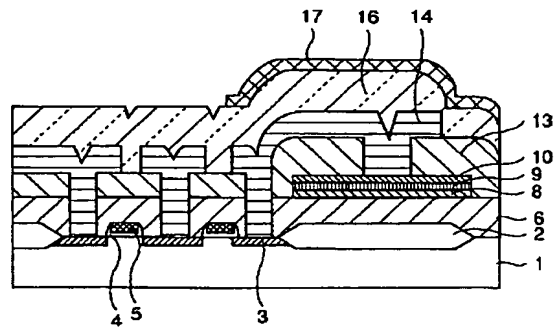
【図11】



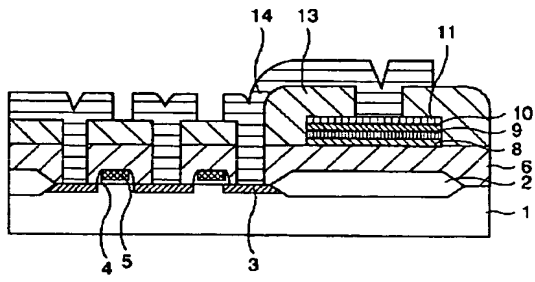
【図9】



【図12】



【図 13】



【図 14】

